



## **SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE THEREOF**

Publication Number: 08-064779 (JP 8064779 A) , March 08, 1996

Inventors:

- NOGUCHI MITSUHIRO

Applicants

- TOSHIBA CORP (A Japanese Company or Corporation), JP (Japan)

Application Number: 06-193280 (JP 94193280) , August 17, 1994

International Class (IPC Edition 6):

- H01L-027/108
- H01L-021/8242
- H01L-027/04
- H01L-021/822

JAPIO Class:

- 42.2 (ELECTRONICS--- Solid State Components)
- 45.2 (INFORMATION PROCESSING--- Memory Units)

JAPIO Keywords:

- R096 (ELECTRONIC MATERIALS--- Glass Conductors)
- R097 (ELECTRONIC MATERIALS--- Metal Oxide Semiconductors, MOS)
- R100 (ELECTRONIC MATERIALS--- Ion Implantation)

Abstract:

**PURPOSE:** To provide a DRAM of memory cell structure which is equipped with a trench capacitor and a stacked capacitor, lessened in number of manufacturing processes, and capable of restraining a stacked capacitor ground layer from increasing in height.



CONSTITUTION: Memory cells each composed of a MOS transistor and a capacitor are arranged in a matrix for the formation of a DRAM. A trench capacitor is connected to one out of a first MOS transistor and a second MOS transistor adjacent to each other, and a stacked capacitor is connected to the other, the storage electrode 6 of a trench capacitor is formed inside a trench as buried through the intermediary of a capacitor insulating film 5 and connected to the diffusion layer 9 of the first MOS transistor by a connection electrode 10, the storage electrode 17 of the stacked capacitor is formed above the primary surface of a substrate 1 and connected to the diffusion layer 9 of the second MOS transistor, and the storage electrode 17 and the connection electrode 10 are formed of the same layer.

JAPIO

© 2003 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 5109279



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-64779

(43) 公開日 平成8年(1996)3月8日

(51) Int.Cl.<sup>s</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/108

21/8242

27/04

7735-4M

H 0 1 L 27/ 10

6 2 1 Z

27/ 04

C

審査請求 未請求 請求項の数6 O L (全 21 頁) 最終頁に続く

(21) 出願番号

特願平6-193280

(22) 出願日

平成6年(1994)8月17日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 野口 充宏

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

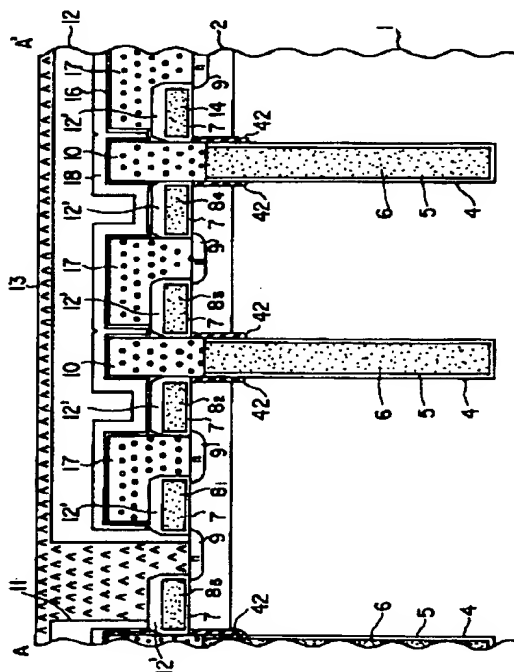
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【目的】 トレンチキャパシタとスタックドキャパシタの双方を有するメモリセル構造を有し、製造工程数の減少をはかり、且つスタックドキャパシタの下地高さの増大を抑えることのできるDRAMを提供すること。

【構成】 Si基板1上にMOSトランジスタとキャパシタからなるメモリセルをマトリックス配置してなるDRAMにおいて、相互に隣接する第1及び第2のMOSトランジスタの一方にトレンチキャパシタが、他方にスタックドキャパシタが接続され、トレンチキャパシタの蓄積電極6はトレンチ4内にキャパシタ絶縁膜5を介して埋め込み形成され、接続電極10により第1のMOSトランジスタの拡散層9に接続され、スタックドキャパシタの蓄積電極17は基板1の主表面より上に形成されて第2のMOSトランジスタの拡散層9に接続され、蓄積電極17と接続電極10とは同一層で形成されていること。



1

## 【特許請求の範囲】

【請求項 1】半導体基板上に MOS トランジスタとキャパシタからなる複数個のメモリセルから構成される半導体記憶装置において、

相互に隣接する第 1 及び第 2 の MOS トランジスタの一方にトレンチキャパシタが接続され、他方にトレンチ以外のキャパシタが接続され、

前記トレンチキャパシタの蓄積電極は、前記半導体基板に設けられたトレンチ内に第 1 のキャパシタ絶縁膜を介して埋め込み形成され、接続電極により第 1 の MOS トランジスタのソース・ドレインの一方に接続され、

前記トレンチ以外のキャパシタの蓄積電極は、前記半導体基板の主表面より上に形成されて第 2 の MOS トランジスタのソース・ドレインの一方に接続され、

前記トレンチ以外のキャパシタの蓄積電極と前記接続電極とは互いに重なり合わずに同一構成材で形成されてなることを特徴とする半導体記憶装置。

【請求項 2】前記トレンチキャパシタの蓄積電極に対向する半導体基板部分を第 1 のプレート電極として用い、前記トレンチ以外のキャパシタの蓄積電極及び前記接続電極の表面に第 2 のキャパシタ絶縁膜を介して第 2 のプレート電極を形成してなることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】前記トランジスタ及びキャパシタからなるメモリセルを複数個直列に接続して NAND 型のメモリセルを構成したことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】第 1 の MOS トランジスタ及びトレンチキャパシタからなる第 1 のメモリセル領域と、第 2 の MOS トランジスタ及びトレンチ以外のキャパシタからなる第 2 のメモリセル領域とを有し、ワード線方向に隣接する第 1 及び第 2 のメモリセル領域上に、1 本の通過ワード線を有することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】半導体基板の主平面に隣接して設けられた第 1 及び第 2 の MOS トランジスタと、第 1 の MOS トランジスタに隣接して前記半導体基板に設けられたキャパシタ形成用トレンチと、このトレンチ内に第 1 のキャパシタ絶縁膜を介して埋め込み形成された第 1 の蓄積電極と、第 1 の MOS トランジスタのソース・ドレインの一方と第 1 の蓄積電極とを接続する接続電極と、第 2 の MOS トランジスタのソース・ドレインの一方に接続され前記半導体基板の主平面より上に形成された第 2 の蓄積電極と、第 2 の蓄積電極及び接続電極の表面に第 2 のキャパシタ絶縁膜を介して形成されたプレート電極とを具備してなり、前記接続電極と第 2 の蓄積電極とは互いに重なり合わずに同一構成材で形成されていることを特徴とする半導体記憶装置。

【請求項 6】半導体基板にキャパシタ形成用のトレンチ

2

を形成する工程と、前記トレンチ内に第 1 のキャパシタ絶縁膜を介して第 1 の蓄積電極を形成する工程と、前記半導体基板上に第 1 及び第 2 の MOS トランジスタを形成する工程と、前記半導体基板の主平面より上に第 2 の MOS トランジスタの拡散領域と接続するよう第 2 の蓄積電極を形成すると共に、第 1 の蓄積電極と第 1 の MOS トランジスタの拡散領域を接続する接続電極を形成する工程と、第 2 の蓄積電極、接続電極の上部及び側面に第 2 のキャパシタ絶縁膜を介してプレート電極を形成する工程とを含むことを特徴とする半導体記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、ダイナミック型半導体記憶装置（DRAM）に係わり、特にトレンチキャパシタとスタックドキャパシタを有するメモリセル構造の半導体記憶装置に関する。

## 【0002】

【従来の技術】近年、情報記憶用キャパシタの容量を維持しつつ、より面積の小さな半導体メモリセルを実現するために、半導体基板内にトレンチ構造を作成しキャパシタとするトレンチキャパシタ構造や、蓄積電極をセルトランジスタ上に積み上げて作製したスタックドキャパシタ構造が提案されている。

【0003】トレンチキャパシタを用いた DRAM セル構造においては、高集積化が進むにつれ次のような問題が生じている。図 27 はトレンチキャパシタを有する従来の NAND 型メモリセル構造を示す平面図であり、3 は素子分離絶縁膜、4 はトレンチ、8 はゲート電極、9 はソースドレイン拡散層、10 はトレンチ内電極とソースドレイン拡散層を接続するための導電性パッドを示している。

【0004】図 27 において、隣接するトレンチ 4 間の間隔が狭くなるにつれ、トレンチ断面形状の加工揺らぎによってトレンチ間隔  $x'$  を確保するのが困難になる。このため、トレンチ間リークが増大し、電荷の保持時間が短くなる問題点が生じる。さらに、この加工揺らぎのためにセルトランジスタのソース又はドレイン拡散層の残り幅  $y'$  が小さくなり、蓄積電極に蓄えられた電荷を読み出す場合、MOS トランジスタのソース（或いはドレイン）の接続抵抗が大きくなり、トレンチキャパシタの電荷を読み出すことが難しい。

【0005】一方、スタックドキャパシタを用いた DRAM セル構造では、投影面積及び蓄積電極の平面パターン周辺長が十分大きくないために、DRAM セルに必要なキャパシタ容量を確保するには蓄積電極の高さを十分に高くしなければならない。このため、蓄積電極より上の配線から蓄積電極より下の層にコンタクトを取るのが困難になる。

【0006】これらの問題点を解決するために最近、図

3

28に断面図を示すように、トレンチキャパシタを有したメモリセルとスタックドキャパシタを有したメモリセルとを隣接させ、そのスタックドキャパシタの下部電極の一部がトレンチキャパシタの上方を覆うように形成し、両メモリセルの容量値を大きくする構造が提案されている(特開平4-343267号公報)。なお、図中の5、16はキャパシタ絶縁膜、12は層間絶縁膜、17は蓄積電極、18、20はプレート電極、22はp型シリコン基板、23はn型層である。

【0007】しかしながら、この種の構造にあっては次のような問題があった。即ち、この構造のトレンチ上部では、トレンチ内プレート電極20とスタックドキャパシタ蓄積電極17とを電気的に分離する必要があるため、スタックドキャパシタを形成する前に層間絶縁膜12を形成する工程が必要である。このため、トレンチキャパシタ作製工程数とスタックドキャパシタ作製工程数の和よりも、工程数が増加する問題点があった。

【0008】また、トレンチ内に埋め込んだ電極上を完全に覆うように層間絶縁膜12をトレンチ上に積層する必要があるため、スタックドキャパシタの蓄積電極の下地高さが高くなり、蓄積電極よりも上の配線から蓄積電極より下の層にコンタクトを取るのが難しくなる。なお、これらの問題点は、メモリセルを直列接続したNAND型メモリセルに限らず、非NAND型メモリセルの高集積化でも同様に生じるものである。

【0009】

【発明が解決しようとする課題】このように従来、トレンチキャパシタを用いたメモリセルの電極と、スタックドキャパシタの蓄積電極とを別マスクで作成するDRAMメモリセル構造では、トレンチキャパシタ作製工程数とスタックドキャパシタ作製工程数の和よりも工程数が増加し、スタックドキャパシタの下地高さが増加する問題があった。

【0010】本発明は、上記問題を解決すべくなされたもので、その目的とするところは、トレンチキャパシタとトレンチ以外のキャパシタ(スタックドキャパシタ等)の双方を有するメモリセル構造を有し、トレンチキャパシタ作製工程数とスタックドキャパシタ作製工程数の和よりも工程数を減少させ、かつスタックドキャパシタ等の下地高さの増大を抑えることができ、より微細化が可能な半導体記憶装置を提供することにある。

【0011】

【課題を解決するための手段】本発明の骨子は、トレンチキャパシタセルとトレンチ以外のキャパシタ(例えばスタックドキャパシタ)セルを近接して並べ、トレンチキャパシタセルとセルトランジスタ拡散層とを接続する導電性パッド(接続電極)と、スタックドキャパシタの蓄積電極を積層構造とせず同一工程で形成することにある。この場合、スタックドキャパシタの蓄積電極をトレンチキャパシタセルとの素子分離領域上まで延在させ

4

スタックドキャパシタ容量確保と両立させる。つまり、導電性パッド形成工程とスタックドキャパシタ蓄積電極形成工程を併合し工程数を減少させ、導電性パッドとスタックドキャパシタ蓄積電極間の合わせずれを解消し、スタックドキャパシタ電極の下地高さを低く保ったところに本発明の特長がある。

【0012】即ち本発明は、半導体基板上にMOSトランジスタとキャパシタからなる複数個のメモリセルから構成される半導体記憶装置において、相互に隣接する第1及び第2のMOSトランジスタの一方にトレンチキャパシタが接続され、他方にトレンチ以外のキャパシタが接続され、トレンチキャパシタの蓄積電極は、半導体基板に設けられたトレンチ内に第1のキャパシタ絶縁膜を介して埋め込み形成され、接続電極により第1のMOSトランジスタのソース・ドレインの一方に接続され、トレンチ以外のキャパシタの蓄積電極は、半導体基板の主表面より上に形成されて第2のMOSトランジスタのソース・ドレインの一方に接続され、トレンチ以外のキャパシタの蓄積電極と接続電極とは積層構造とせず同一構成材で形成されてなることを特徴とする。

【0013】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) トレンチ以外のキャパシタは、スタックドキャパシタであること。

(2) トレンチキャパシタの蓄積電極に対向する半導体基板部分を第1のプレート電極として用い、スタックドキャパシタの蓄積電極及び接続電極の表面に第2のキャパシタ絶縁膜を介して第2のプレート電極を形成すること。

(3) トランジスタ及びキャパシタからなるメモリセルを複数個直列に接続してNAND型のメモリセルを構成すること。

(4) 第1のMOSトランジスタ及びトレンチキャパシタからなる第1のメモリセル領域と、第2のMOSトランジスタ及びスタックドキャパシタからなる第2のメモリセル領域とを有し、ワード線方向に隣接する第1及び第2のメモリセル領域上に、1本の通過ワード線を有すること。

(5) ビット線とワード線が直交するように配置され、第1のメモリセル領域と第2のメモリセル領域とはビット線及びワード線方向共に交互に配置されていること。

【0014】また本発明は、上記半導体記憶装置の製造方法において、半導体基板にキャパシタ形成用のトレンチを形成する工程と、トレンチ内に第1のキャパシタ絶縁膜を介して第1の蓄積電極を形成する工程と、半導体基板上に第1及び第2のMOSトランジスタを形成する工程と、半導体基板の主平面より上に第2のMOSトランジスタの拡散領域と接続するよう第2の蓄積電極を形成すると共に、第1の蓄積電極と第1のMOSトランジスタの拡散領域を接続する接続電極を形成する工程と、

5

第2の蓄積電極、接続電極の上部及び側面に第2のキャパシタ絶縁膜を介してプレート電極を形成する工程とを含むことを特徴とする。また、本発明の望ましい実施態様としては、第2の蓄積電極及び接続電極と共に、ビット線コンタクトパッドを形成することを特徴としている。

#### 【0015】

【作用】本発明の構造では、トレンチキャパシタの蓄積電極とセルトランジスタ拡散層とを接続する導電性パッドが、スタックドキャパシタの蓄積電極と電気的に分離形成されるため、スタックドキャパシタの蓄積電極形成前に、トレンチキャパシタの蓄積電極上に層間絶縁膜を形成する必要がなくなり、これにより工程数を削減することができる。さらに、トレンチキャパシタの蓄積電極上に層間絶縁膜が無い分、スタックドキャパシタの下地高さを低く保つことができる。また、導電性パッド上にもMOSキャパシタを形成することにより、トレンチキャパシタの蓄積容量を更に大きくすることが可能となる。

#### 【0016】

【実施例】以下、図面を参照しながら本発明の実施例を説明する。

(実施例1) 図1は本発明の第1の実施例に係わるNAND型DRAMのセルアレイを示す平面図、図2、図3、図4はそれぞれ図1の矢視A-A'、B-B'、C-C'断面図である。

【0017】メモリセル領域は、p+型シリコン基板1上にエピタキシャル層2が形成されたウェハに作成され、素子領域はフィールド酸化による素子分離絶縁膜3によって区切られている。また、トレンチ4内には、第1のキャパシタ絶縁膜5を介してトレンチ蓄積電極6が埋め込み形成されている。即ちこの実施例では、p+型シリコン基板1はMOSキャパシタの第1のプレート電極となり、シリコン基板1、キャパシタ絶縁膜5及び蓄積電極6からMOSキャパシタが構成されている。さらに、蓄積電極6とトランジスタ領域との電気的分離のために、トレンチ側面絶縁膜42が形成されている。

【0018】エピタキシャル成長層2の上部には、ゲート絶縁膜7を介してゲート電極8(81, 82, 83, 84, 85)、14が形成されている。これらのゲート電極8, 14は、セルアレイの一方にパターンニングされてそれぞれワード線及びフィールドシールド分離用ゲートとなっている。

【0019】ゲート電極8, 14の両側にはn型拡散層9が形成されている。このn型拡散層9は、平面型MOSトランジスタのソース及びドレインであり、一部のn型拡散層9は、トレンチ蓄積電極6と導電性パッド(接続電極)10を介して接続されている。さらに、残り一部のn型拡散層9の上部には、スタック型キャパシタ蓄積電極17が形成され、拡散層9と接続されている。ま

6

た、蓄積電極17上には、第2のキャパシタ絶縁膜16を介して第2のプレート電極18が形成されている。本実施例の構造上の特徴としては、プレート電極18がキャパシタ絶縁膜16を介して導電性パッド10にも接していることにある。

【0020】上記の平面型MOSトランジスタは複数個(本実施例では4個)直列に接続され、さらにこれらの各ソース(或いはドレイン)にそれぞれトレンチ型MOSキャパシタ又はスタック型MOSキャパシタが接続されている。これにより、NAND型のメモリセルが構成されている。より具体的には、ビット線側から順にMOSトランジスタ(第2のMOSトランジスタ)及びスタック型MOSキャパシタからなる第2のメモリセル、MOSトランジスタ(第1のMOSトランジスタ)及びトレンチ型MOSキャパシタからなる第1のメモリセル、第2のメモリセル、第1のメモリセルと接続されている。

【0021】上記の各部を形成した基板には層間絶縁膜12が設けられ、この層間絶縁膜12にビット線コンタクト11が形成されている。そして、n型拡散層9の一部はビット線コンタクト11を介してビット線13に接続されている。

【0022】次に、図5～図8を用いて、この実施例のメモリセルの製造工程を説明する。図5～図8は、図2の断面に対応する製造工程断面図である。まず、図5にトレンチキャパシタ形成後の断面図を示す。例えば、ボロン濃度 $1.0 \times 10^{19} \text{ cm}^{-3}$ のp+型シリコン基板1に、例えばボロン濃度 $1.0 \times 10^{15} \text{ cm}^{-3}$ のp型エピタキシャル成長層2を形成する。エピタキシャル層2の厚みは、例えば $0.7 \mu\text{m}$ とする。次いで、セルアレイ領域にボロンをイオン注入してウェル拡散し、セルアレイ領域のp型エピタキシャル成長層2の濃度を最適化する。

【0023】続いて、LOCOS法によりフィールド酸化膜3を形成した後に、リソグラフィと反応性イオンエッチング技術により、トレンチ4'を基板1に達する深さに形成する。トレンチ4'のシリコンエピタキシャル層2とシリコン酸化膜3との界面からの深さは、例えば $1 \mu\text{m}$ とする。

【0024】続いて、トレンチ4'の内面を酸化し、例えば膜厚 $0.1 \mu\text{m}$ の素子分離酸化膜42を形成する。また、この絶縁膜領域作成工程として、絶縁膜厚さ確保と厚い酸化による熱応力による劣化を防ぐため、例えばシリコン酸化膜を堆積し、エッチングによって絶縁膜を異方性エッチングすることにより素子分離酸化膜42の側壁にさらなる絶縁膜を堆積する方法を代替、又は後工程として挿入してもよい。

【0025】次いで、素子分離酸化膜42の底面の酸化膜を反応性イオンエッチング技術でシリコン基板1が表面に出るまで取り除き、引き続き反応性イオンエッチング技術によりシリコン基板1中にトレンチ4を形成す



7

る。このトレンチ4の深さは、例えば5 $\mu$ mとする。この後、トレンチ4内の基板プレート電極の容量を大きくするために、ボロンなどの不純物をトレンチにイオン注入してもよい。

【0026】次いで、トレンチ4の内壁にキャパシタ絶縁膜5を形成した後、蓄積電極6となる第1層多結晶シリコン膜を全面堆積する。キャパシタ絶縁膜5は、例えばシリコン酸化膜／シリコン窒化膜／シリコン酸化膜の積層膜（実効膜厚10nm）とする。第1層多結晶シリコン膜には、例えばAsをイオン注入して低抵抗化する。

【0027】続いて、ケミカルドライエッチング技術により第1層多結晶シリコン膜をエッチバックし、蓄積電極6としてトレンチ4に残置する。その後、p型エピタキシャル層2に露出したキャパシタ絶縁膜5をケミカルドライエッチング技術により除去する。次いで、シリコン酸化膜を平滑化するまで全面堆積し、ケミカルドライエッチング技術により積層したシリコン酸化膜をエッチバックし、図5のように表面絶縁膜42'としてトレンチ4に残置する。

【0028】次に、図6にセルトランジスタ形成後の断面図を示す。ここで、p型エピタキシャル層2を、例えば10nmの厚さ酸化してゲート酸化膜7を形成し、ゲート電極8、14となる第2層多結晶シリコン膜を全面に堆積し、POC13 拡散を行ってこれを低抵抗化する。さらに、絶縁膜12'となるシリコン窒化膜を全面堆積した後、リソグラフィーと反応性イオンエッチングにより加工して、ゲート電極8、14を形成する。さらに、全面に例えばAsをイオン注入してn型拡散層9を作成する。

【0029】次いで、絶縁膜12'となるシリコン窒化膜をさらに全面堆積し、異方性エッチングによって切り立ったゲート電極8、14の側壁に絶縁膜12'を残すことによりゲートの側壁絶縁膜を形成する。この側壁膜と、リソグラフィーの直前に堆積したシリコン窒化膜がゲート電極8、14を取り囲む形になり、トレンチ接続のための導電性パッド10やビット線13と電気的絶縁を保つことが容易になる。この後、導電性パッド10及びビット線13とn型拡散層9との接続抵抗を下げるため、例えば砒素などを拡散層9にイオン注入してもよい。

【0030】次に、図7にスタックドキャパシタ蓄積電極17の形成後及びパッド電極10の形成後の断面図を示す。まず、リソグラフィーと絶縁膜42'をエッチングすることによってトレンチ接続コンタクト15を形成する。次いで、例えば多結晶シリコンを全面に厚く堆積し、リソグラフィーとエッチングによってトレンチ接続導電性パッド10及びスタックドキャパシタ蓄積電極17を同時にパターンニングする。

【0031】これにより、蓄積電極6とn型拡散層9と

8

が電気的に接続される。この際に位相シフト法を用いれば、導電性パッド10とキャパシタ蓄積電極17との間隔を、位相シフト法を用いないリソグラフィーでの最小加工寸法よりも狭めることが可能であり、蓄積電極の平面積を大きく確保でき、望ましい。この後、例えばAsイオン打ち込みを行ってこれを低抵抗化する。

【0032】次に、図8にスタックドキャパシタプレート電極18形成後の断面図を示す。スタックドキャパシタ用キャパシタ絶縁膜16、スタックドキャパシタ用プレート電極18を全面堆積した後、例えばPOC13 拡散を行ってこれを低抵抗化する。さらに、リソグラフィーとエッチングによって、ビット線コンタクト部分のプレート電極18及びキャパシタ絶縁膜16を取り除く。

【0033】これ以降は図示しないが、層間絶縁膜12を全面堆積した後、リソグラフィーと反応性イオンエッチングによりビット線コンタクト11を作成する。その後、ビット線材、例えば多結晶シリコン膜を全面堆積し、ビット線13を加工し、さらに上層の配線層を加工して完成する。

【0034】このように本実施例によれば、トレンチキャパシタの蓄積電極6とセルトランジスタ拡散層9とを接続する導電性パッド10が、スタックドキャパシタの蓄積電極17と同一工程で電気的に分離形成されるため、スタックドキャパシタの蓄積電極17の形成前に層間絶縁膜12を形成する必要がなくなり、これにより工程数を削減することができる。また、スタックドキャパシタの下に層間絶縁膜12が無い分だけ、スタックドキャパシタの下地高さを低く保つことができる。さらに、導電性パッド10上にもMOSキャパシタを形成しているので、トレンチキャパシタの蓄積容量を更に大きくすることができる。

【0035】また本実施例では、トレンチメモリセル同士が隣接しないようにトレンチメモリセルとスタックドメモリセルとを交互に配置しているため、トレンチメモリセルのみで構成したメモリセルアレイよりもトレンチ中心間隔を1.4倍以上に拡大でき、微細化が進んでもトレンチ間リークを低減でき電荷の保持時間を確保できる。

【0036】さらに本実施例では、スタックドキャパシタを有したメモリセルとトレンチキャパシタを有したメモリセルとが直列接続した構造を有している。このため、トレンチ断面寸法の加工揺らぎによって拡散層の残り幅が減少する問題が生じて、トランジスタのもう一方のスタックドキャパシタ側の拡散層ではトランジスタの拡散層幅が確保できるため、拡散層の接続抵抗をトレンチキャパシタのみのメモリセルよりも小さくできる。

（実施例2）図9は本発明の第2の実施例に係わるNAND型DRAMのセルアレイの平面図、図10は図9の矢視A-A'断面図である。なお、図1、図2と同一部分には同一符号を付して、その詳しい説明は省略する。

【0037】本実施例は、基本的には第1の実施例と同様であるが、ビット線コンタクト11の形成法が第1の実施例と異なっている。図11、12にスタックドキャパシタ蓄積電極形成後の製造工程断面図を示す。本実施例では、スタックドキャパシタ蓄積電極17の形成前までは第1の実施例と同様に形成し、スタックドキャパシタ蓄積電極17の形成のために多結晶シリコンを堆積した後のエッチング時に、多結晶シリコンをビット線コンタクトの拡散層9上部に同時に残置する。

【0038】ここでのポイントは、多結晶シリコンのエッチング膜厚 $T_e$ のコントロールである。エピタキシャル層2上の多結晶シリコンの厚さを $T_a$ 、フィールド酸化素子分離膜上の多結晶シリコンの厚さを $T_b$ 、ゲート上部絶縁膜12'上の多結晶シリコンの厚さを $T_c$ として、

$$T_b, T_c < T_e < T_a$$

で表す範囲に制御する。

【0039】図12(a)(b)(c)に、図11の矢視B-B'ビット線コンタクト部分の製造工程断面図を示す。スタックドキャパシタ蓄積電極形成後の断面を図12(a)に示すが、このようにスタックドキャパシタ用キャパシタ絶縁膜16とスタックドキャパシタ用プレート電極18を全面堆積し、例えばPOC13拡散を行ってこれを低抵抗化する。さらに、図12(b)のようにリソグラフィーとエッチングによって、ビット線コンタクト部分のプレート電極18及びキャパシタ絶縁膜16を取り除く。続いて、図12(c)に示すように、層間絶縁膜12を全面堆積した後、リソグラフィーと反応性イオンエッチングによりビット線コンタクト11を作成する。その後、ビット線材、例えば多結晶シリコン膜を全面堆積し、ビット線13を加工し、さらに上層の配線層を加工して完成する。

【0040】この第2の実施例では、第1の実施例よりも拡散層9に接する電極材10'の面積を一定に確保でき、コンタクト抵抗の分散を小さくできる。また、ビット線13に対するビット線コンタクト段差をスタックドキャパシタの蓄積電極高さだけ減らすことができる。このため、スタックドキャパシタの蓄積電極17の高さに依らず、蓄積電極17よりも上の配線からビット線コンタクトを取るのが容易になる。

(実施例3) 図13は本発明の第3の実施例に係わるNAND型DRAMのセルアレイの平面図、図14は図13の矢視A-A'断面図である。なお、図1、図2と同一部分には同一符号を付して、その詳しい説明は省略する。

【0041】本実施例は、基本的には第2の実施例と同様であるが、導電性パッド10及びスタックドキャパシタの蓄積電極17の形成法が第2の実施例と異なっている。本実施例では、スタックドキャパシタ蓄積電極17の形成前までは、第2の実施例と同様に形成し、スタックドキャパシタ蓄積電極形成エッチング時に、多結晶シリコンを、図13の導電性パッド10、スタックドキャパシタ17と拡散層9とのコンタクト27、及びビット線コンタクトの拡散層9上部に、同時に残置する。

【0042】ここで、多結晶シリコンのエッチング膜厚 $T_e$ のコントロールを次のようにする。エピタキシャル層2上の多結晶シリコンの厚さを $T_a$ 、トレンチ4上の多結晶シリコンの厚さを $T_d$ 、フィールド酸化素子分離膜上の多結晶シリコンの厚さを $T_b$ 、ゲート上部絶縁膜12'上の多結晶シリコンの厚さを $T_c$ として、

$$T_b, T_c < T_e < T_a, T_d$$

で表す範囲に制御する。スタックドキャパシタ蓄積電極17の形成後の工程は第2の実施例と同一である。

【0043】この第3の実施例では、導電性パッド10、スタックドキャパシタコンタクト27、ビット線コンタクト導電性パッド10'が、拡散層9上及びトレンチ4上の領域に合わせずれなく形成される。従って、微細化が進んでも拡散層9とのコンタクト抵抗の均一性を確保できる。

【0044】また、スタックドキャパシタ蓄積電極17の形成時のリソグラフィーパターンは、トレンチ導電性パッド10を含む必要はなく、電極の高さが必要な部分、例えばスタックドキャパシタ蓄積電極17及びビット線コンタクト11でよい。そこで、図13のハッチングを施した部分で示すように、トレンチ導電性パッド10のパターンを形成するよりもパターン間隔の広いリソグラフィーパターンでスタックドキャパシタ容量を確保できる。

【0045】また、ビット線回りの断面構造を第1の実施例と同じくすることも可能で、この場合、キャパシタに対するコンタクトの抵抗の均一性が確保される。さらに、スタックドキャパシタの形成工程では、パターン間隔の広いリソグラフィーパターンでスタックドキャパシタ容量を確保できる。

(実施例4) 図15は本発明の第4の実施例に係わるメモリセルで、スタックドキャパシタを有するメモリセル領域上と、そのメモリセルに隣接するトレンチキャパシタを有するメモリセル領域上で、1本の通過ワード線を有するDRAMセルアレイの平面図である。また、図16は図15の矢視A-A'断面図である。なお、図1、図2と同一部分には同一符号を付して、その詳しい説明は省略する。

【0046】この構造では、NAND型セルに比べビット線コンタクトが多いためセル面積が多くなるが、全ビットに対し高速なランダムアクセスが可能である。この実施例のメモリセルの製造工程は、第1の実施例と同じなので省略するが、平面構造を図15と同様のDRAMセル配置にし、ビット線回りの構造を第2の実施例と同じくすることも可能である。また、平面構造を図15と同様のDRAMセル配置にし、スタックドキャパシタの

11

蓄積電極 17 と拡散層 9 とのコンタクト 27 及び導電性パッド 10 を第 3 の実施例と同じくすることも可能である。

【0047】また、さらに、図 17 の断面図で示すように、図 16 のトレンチ内壁の素子分離酸化膜 42 の代わりに、絶縁膜 25 を用いて上部シリコン領域 26 と基板 1 とを分離する、いわゆる SOI 構造も可能である。この場合、絶縁膜 25 を形成するには、例えばシリコン基板への酸素イオン打ち込みや、表面に酸化膜を形成した基板を 2 枚張り合わせて、一方の面を研磨しシリコン基板を例えば 0.5  $\mu\text{m}$  の厚さに薄膜化する方法が可能であり、作成工程は、素子分離酸化膜 42 を作成しない点を除いて第 1 の実施例と同じである。

【0048】この構造では、例えば絶縁膜 25 にシリコン酸化膜を用いて、絶縁膜 25 の領域に例えばシリコン酸化膜を用い、その誘電率を基板 1 のシリコンの誘電率よりも小さくすることにより、拡散領域 9 と基板 1 との容量を小さくすることができる。このため、ビット線 13 の容量も小さくすることができ、ビット線信号幅を向上できる。

(実施例 5) 図 18 は本発明の第 5 の実施例に係わる折り返しビット線方式のメモリセルの平面図、図 19 は図 18 の矢視 A-A' 断面図である。なお、図 1、図 2 と同一部分には同一符号を付して、その詳しい説明は省略する。

【0049】この構造では、全ビットに対し高速なランダムアクセスが可能で、折り返しビット線をとっているため 2 つのワード線に発生する同相ノイズを大きく低減できる。この実施例のメモリセルの製造工程は、第 1 の実施例と同じなので省略するが、平面構造を図 18 と同様の DRAM セル配置にし、ビット線回りの構造を第 2 の実施例と同じくすることも可能である。

【0050】また、平面構造を図 18 と同様の DRAM セル配置にし、スタックドキャパシタの蓄積電極 17 と拡散層 9 とのコンタクト 27 及び導電性パッド 10 を第 3 の実施例と同じくすることも可能である。また、第 4 の実施例の図 17 のように、トレンチ内壁の素子分離酸化膜 42 の代わりに、絶縁膜 25 を用いてトランジスタ領域 26 と基板 1 とを分離する、いわゆる SOI 構造を用いることも可能である。

(実施例 6) 図 20 は本発明の第 6 の実施例に係わる 2 メモリセル 1 ビット線コンタクト型 DRAM のセルアレイを示す平面図で、図 21、22、23 はそれぞれ図 20 の矢視 A-A'、B-B'、C-C' 断面図である。なお、図 1、図 2 と同一部分には同一符号を付して、その詳しい説明は省略する。

【0051】本実施例は、基本的には第 4 の実施例と同様であるが、ビット線 13 をスタックドキャパシタの下に形成している部分が異なっている。本実施例では、図 24 に示すように、拡散層 9 の形成までは第 1 の実施例

12

と同様に形成する。次いで、図 25 に示すように、例えばエッチングストップパシリコン窒化膜 12''' を積層後、例えばシリコン酸化膜からなる層間絶縁膜 12 を堆積し、リフローにより平坦化する。続いて、ビット線コンタクト 11 をバタニングし異方性イオンエッチングによって形成後、例えばビット線 13 となる多結晶シリコンを全面堆積し、例えば As 打ち込みを行ってこれを低抵抗化する。

【0052】次いで、図 26 に示すように、多結晶シリコンをリソグラフィとエッチングによってバタニングし、ビット線 13 を形成する。さらに、ビット線 13 とスタックドキャパシタ蓄積電極 17 との絶縁を保持する層間絶縁膜 12'' を全面堆積した後、導電性パッド 10、スタックドキャパシタ蓄積電極 17 と拡散層 9 とのコンタクト 27 を、リソグラフィと異方性エッチングにより形成する。

【0053】この際、例えばエッチングストップパシリコン窒化膜 12''' とシリコン酸化膜からなる層間膜 12 との選択比が良好なエッチング法を選択することにより、12''' でエッチングを止め、次いで窒化膜 12''' をエッチングすることにより、厚い絶縁膜 12 のエッチングでもゲートの回りの絶縁膜をオーバーエッチングすることを防ぐことができ、ゲート 8 に対する絶縁を良好に保ちつつコンタクトを取ることができる。

【0054】勿論、絶縁膜 12 と、シリコン基板 1、側壁絶縁膜 12' との異方性エッチングの選択比が確保できれば、エッチングストップパシリコン窒化膜 12''' は必要ない。また、12''' として 12 と選択比が大きな物質、例えば多結晶シリコンを用い、絶縁膜 12 をエッチングした後多結晶シリコンも引き続きエッチングし、残りの多結晶シリコンを酸化して絶縁膜に変換し絶縁性を確保してもよい。

【0055】この後の工程は図示しないが、絶縁膜 12''' をエッチングし、次いで、トレンチ上部絶縁膜 42'' を異方性エッチングする。次に、例えば多結晶シリコンを全面に厚く堆積し、リソグラフィとエッチングによってトレンチ接続導電性パッド 10 及びスタックドキャパシタ蓄積電極 17 を同時にバタニングする。これにより、蓄積電極 6 と n 型拡散層 9 とが電気的に接続される。この後、例えば As イオン打ち込みを行ってこれを低抵抗化する。さらに、スタックドキャパシタ用キャパシタ絶縁膜 16、スタックドキャパシタ用プレート電極 18 を全面堆積した後、例えば POC13 拡散を行ってこれを低抵抗化して完成する。

【0056】この第 6 の実施例では、ビット線コンタクト 11 がスタックドキャパシタ蓄積電極 17 よりも下に形成されるので、スタックドキャパシタの高さにかかわらず、ビット線 13 の基板 1 からの高さを低く保つことができる。従って、微細化が進んで容量確保のためスタックドキャパシタの高さが高くなっても、ビット線 13

のコンタクトを容易に取ることができ、周辺回路とメモリセル部とのビット線段差を小さく保つことができる。

【0057】また、本実施例としては、第1のメモリセル領域及び第2のメモリセル領域上で1本の通過ワード線を有する半導体記憶装置を例示したが、メモリセルを複数個直列に接続した第1の実施例の構造や、折り返しビット線方式の第5の実施例の構造でも可能であることはいうまでもない。

【0058】なお、本発明は上述した各実施例に限定されるものではない。実施例では、素子分離絶縁膜の作成法として、熱酸化による酸化膜形成法を示したが、30 keV程度の低加速エネルギーで酸素を注入し酸化膜を形成してもよいし、絶縁膜を堆積する方法を用いてもよい。また、素子分離絶縁膜形成法自身は、シリコンをシリコン酸化膜やシリコン窒化膜に変換するこれら以外の方法を用いてもかまわない。さらに、トレンチ側壁絶縁膜領域作成の後の工程として、十分な耐圧を有する絶縁膜厚さ確保と厚い酸化の応力による劣化を防ぐため、シリコン酸化膜を堆積し、異方性エッチングによってシリコン酸化膜をエッチングすることにより側壁にさらなるシリコン酸化膜を堆積する方法を挿入してもよい。勿論、この絶縁膜にシリコン窒化膜その他強誘電体膜、常誘電体膜の単層膜又はそれらの複合膜を用いることもできる。また、絶縁膜12'としてシリコン窒化膜を用いたが、シリコン酸化膜など常誘電体膜の単層膜又はそれらの複合膜を用いることができる。

【0059】実施例1~3としては、ゲート電極14を有するフィールドシールド分離を用いたが、この素子分離の一部には素子分離絶縁膜3を用いてもよい。実施例1~3としては、それぞれのビット線コンタクト11の位置がワード線方向に揃った構造を示したが、必ずしも揃える必要性は存在しない。また、実施例1~3での縦続接続するトレンチの個数は複数個であればよく、8メモリセル当たり1ビット線コンタクトである必要はない。

【0060】実施例では、基板1全体がp+型であってこれがプレート電極となっているが、基板の少なくともセルアレイ領域の表面部（例えば6 $\mu$ m程度）が、ボロンのイオン注入等によりp+型とされた基板を用いることもできる。また、BPSG等を用いた固相拡散、BNを用いた気相拡散によりp+型層を形成した基板を用いることもできる。また、基板の少なくともセルアレイ領域の表面部（例えば6 $\mu$ m程度）が、燐もしくは砒素のイオン注入によりn+型とされた基板を用いることもできる。また、このn+領域の形成には、PSGやAsSGによる固相拡散、POCl<sub>3</sub>による気相拡散を用いることもできる。

【0061】実施例では、トレンチキャパシタのプレート電極を基板プレートにしたものを示したが、プレート電極もトレンチ内に埋め込んだ、いわゆるスタックド・

トレンチキャパシタで代替してもよい。また、蓄積電極17と絶縁膜12'との間にプレート電極18及びキャパシタ絶縁膜16を形成してもよい。また、スタックドキャパシタの代わりにはプレーナ型のキャパシタを用いることも可能であり、要するに基板よりも上に形成するキャパシタであればよい。

【0062】実施例では、p型エピタキシャル層を作製したが、エピタキシャル層2を形成せず、Si基板1にプレート電極となる高濃度p+型層又はn+型層を、例えば3 MeV程度の加速電圧でボロン又は燐等をイオン注入して形成してもよい。また、p+ Si基板1の代わりにn型Si基板を用い、エピタキシャル層2を形成せずに、セルアレイ領域にはp型ウェルを形成してもよい。また、基板1とエピタキシャル層2との境界は、素子分離絶縁膜42だけでなく、トレンチ4のどの部分を通過していてもよい。

【0063】トレンチ4の平面形状は、長方形、正方形、楕円形、円形状、その他多角形の平面形状でもよい。また、実施例では、それぞれスタックドキャパシタ蓄積電極17の平面形状も長方形、正方形、楕円形、円形状、その他多角形の平面形状でもよい。もちろん個々のトレンチ及びスタックドキャパシタの蓄積電極の形状が異なっても、容量確保ができればよい。

【0064】実施例では、蓄積電極6、17及びプレート電極18に砒素をイオン注入した多結晶Si膜を用いたが、砒素をAsSG等により固相拡散してもよいし、膜形成時に同時に砒素をドーブした、いわゆるドーブド多結晶シリコン膜を用いてもよい。また、砒素の代わりに燐を同様な手法でドーピングしてもよい。蓄積電極6、17及びプレート電極18にボロン等をドーブしたp型とすることもできる。さらに、蓄積電極6、17及びプレート電極18の材料として、多結晶シリコン以外の単結晶シリコン、ポーラスシリコン、アモルファスシリコン、W、Ta、Ti、Hf、Co、Pt、Pd等の金属、或いはそのシリサイドを用いることもできる。また、これらの積層構造にしてもよい。

【0065】実施例としては、nチャネルMOSトランジスタを用いたがpチャネルMOSトランジスタを用いてもよい。つまり、拡散層9をp型にし、エピタキシャルSi層2をn型にすることも可能である。その他、本発明の要旨を逸脱しない範囲で、様々に変形して実施することができる。

#### 【0066】

【発明の効果】以上詳述したように本発明によれば、トレンチキャパシタの蓄積電極とセルトランジスタ拡散層とを接続する導電性パッドが、スタックドキャパシタの蓄積電極と同一工程で電気的に分離形成されるため、スタックドキャパシタ蓄積電極形成前に、トレンチキャパシタの蓄積電極上に層間絶縁膜を形成する必要がなく、トレンチキャパシタとスタックドキャパシタを続いて形

15

成した場合に比べ、工程数を削減することができる。しかも、トレンチキャパシタの蓄積電極上に層間絶縁膜が無い分だけ、スタックドキャパシタの下地高さを低く保つことができる。このため、蓄積電極よりも上の配線から蓄積電極より下の層にコンタクトを取るのが容易になる。

【図面の簡単な説明】

【図 1】第 1 の実施例に係わる NAND 型 DRAM のセルアレイを示す平面図。

【図 2】図 1 の矢視 A-A' 断面図。

【図 3】図 1 の矢視 B-B' 断面図。

【図 4】図 1 の矢視 C-C' 断面図。

【図 5】第 1 の実施例の製造工程を示す断面図。

【図 6】第 1 の実施例の製造工程を示す断面図。

【図 7】第 1 の実施例の製造工程を示す断面図。

【図 8】第 1 の実施例の製造工程を示す断面図。

【図 9】第 2 の実施例に係わる NAND 型 DRAM のセルアレイを示す平面図。

【図 10】図 9 の矢視 A-A' 断面図。

【図 11】第 2 の実施例の製造工程を示す断面図。

【図 12】第 2 の実施例の製造工程を示す断面図。

【図 13】第 3 の実施例に係わる NAND 型 DRAM のセルアレイを示す平面図。

【図 14】図 13 の矢視 A-A' 断面図。

【図 15】第 4 の実施例に係わる DRAM セルアレイを示す平面図。

【図 16】図 15 の矢視 A-A' 断面図。

【図 17】図 15 の矢視 A-A' 断面図。

【図 18】第 5 の実施例に係わる折り返しビット線方式のメモリセルを示す平面図。

【図 19】図 18 の矢視 A-A' 断面図。

【図 20】第 6 の実施例に係わる 2 メモリセル 1 ビット線コンタクト型 DRAM のセルアレイを示す平面図。

【図 21】図 20 の矢視 A-A' 断面図。

【図 22】図 20 の矢視 B-B' 断面図。

16

【図 23】図 20 の矢視 C-C' 断面図。

【図 24】第 6 の実施例の製造工程を示す断面図。

【図 25】第 6 の実施例の製造工程を示す断面図。

【図 26】第 6 の実施例の製造工程を示す断面図。

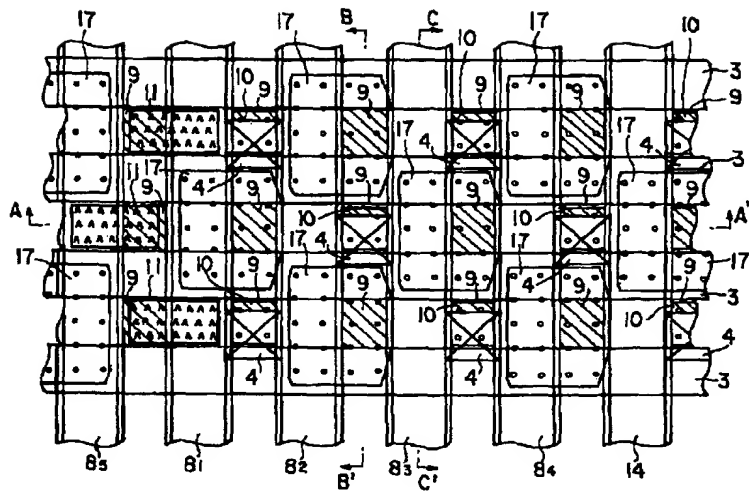
【図 27】トレンチキャパシタを用いた従来の NAND 型メモリセルを示す平面図。

【図 28】スタックドキャパシタとトレンチキャパシタの両方を用いた従来のメモリセルを示す断面図。

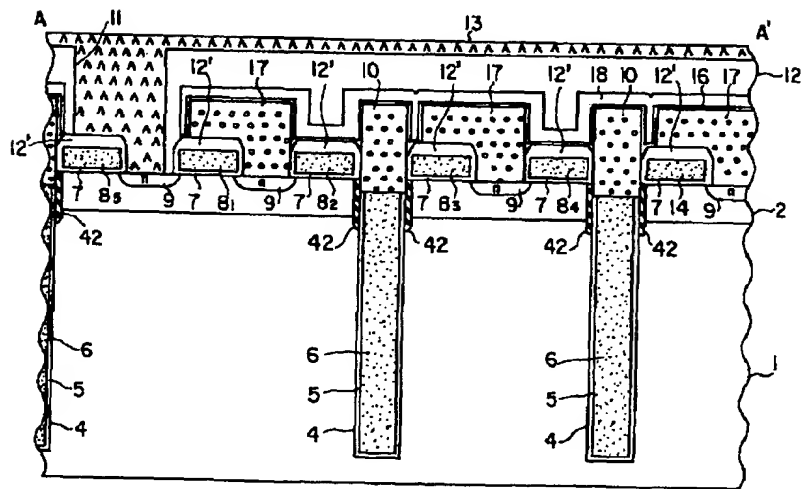
【符号の説明】

- |    |                                    |
|----|------------------------------------|
| 10 | 1…p+ 型シリコン基板                       |
|    | 2…p 型エピタキシャル成長層                    |
|    | 3…素子分離絶縁膜                          |
|    | 4…トレンチ                             |
|    | 5…キャパシタ絶縁膜 (第 1 のキャパシタ絶縁膜)         |
|    | 6…トレンチキャパシタ用蓄積電極 (第 1 の蓄積電極)       |
|    | 7…ゲート絶縁膜                           |
|    | 8…ゲート電極 (ワード線)                     |
|    | 9…n 型拡散層                           |
|    | 10…導電性パッド (接続電極)                   |
| 20 | 11…ビット線コンタクト                       |
|    | 12…層間絶縁膜                           |
|    | 13…ビット線                            |
|    | 14…ゲート電極 (フィールドシールド分離)             |
|    | 15…トレンチパッド電極接続コンタクト                |
|    | 16…キャパシタ絶縁膜 (第 2 のキャパシタ絶縁膜)        |
|    | 17…スタックドキャパシタ用蓄積電極 (第 2 の蓄積電極)     |
|    | 18…スタックドキャパシタ用プレート電極 (第 2 のプレート電極) |
| 30 | 19…ストレージノードコンタクト                   |
|    | 20…トレンチ内プレート電極                     |
|    | 25…SOI 絶縁膜                         |
|    | 26…SOI Si 層                        |
|    | 27…スタックドキャパシタ及び拡散層間コンタクト           |
|    | 42…素子分離絶縁膜                         |

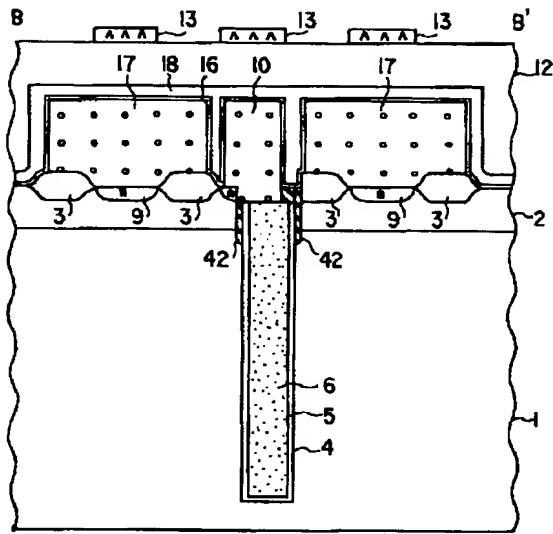
【図 1】



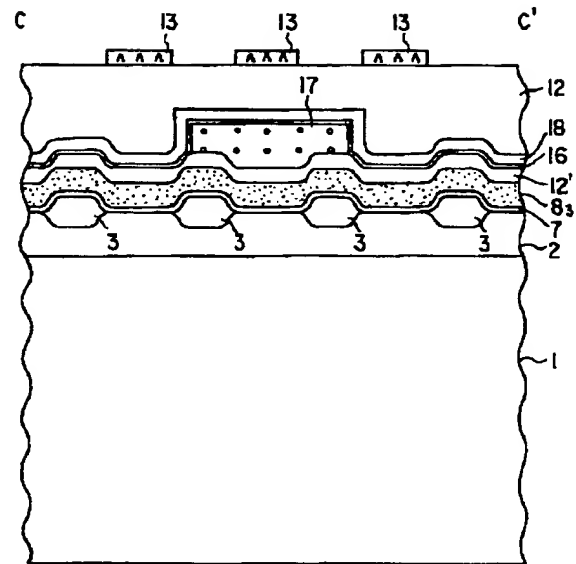
【図 2】



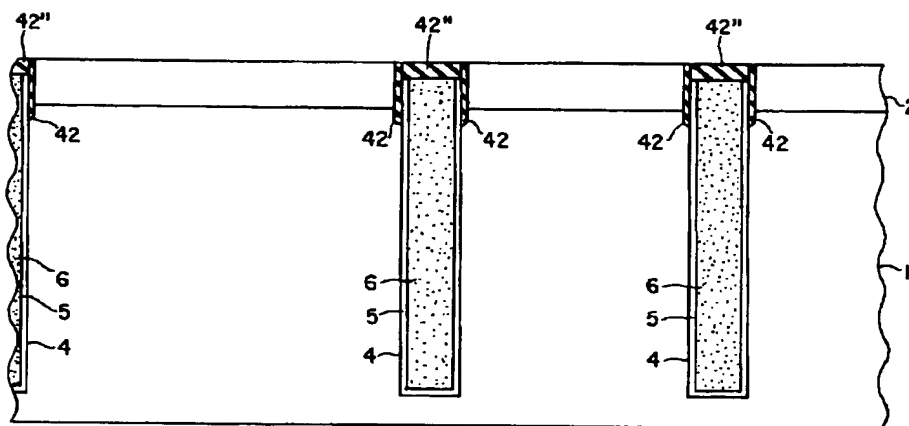
【図 3】



【図 4】

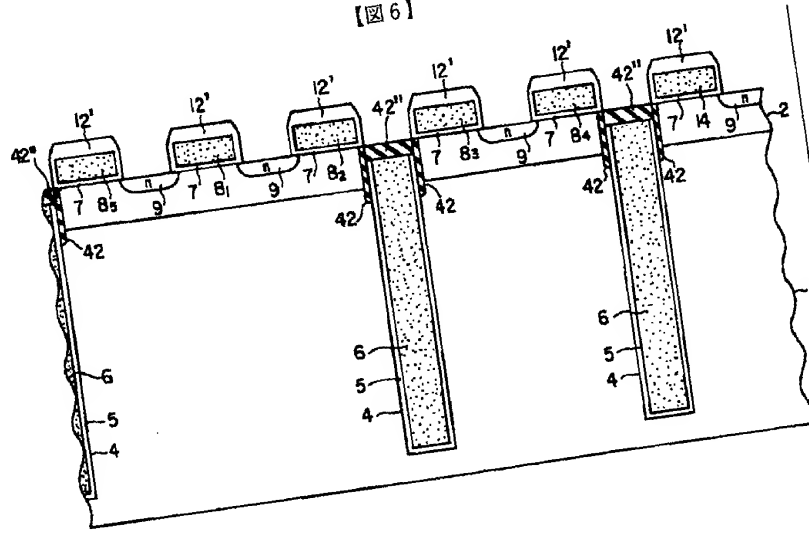


【図 5】

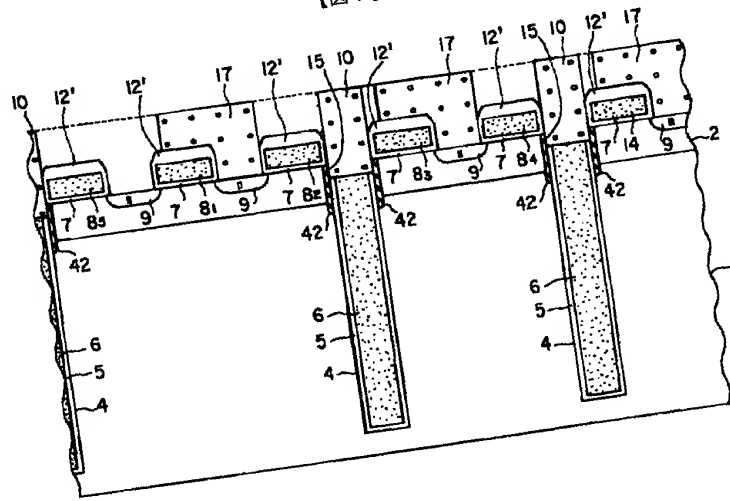


(12)

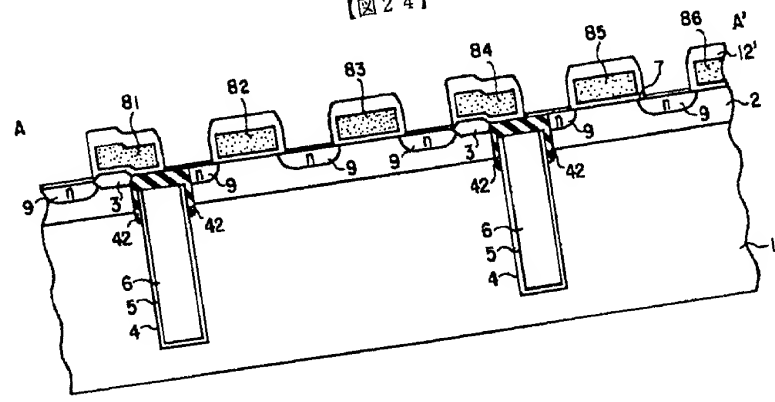
【図 6】



【図 7】

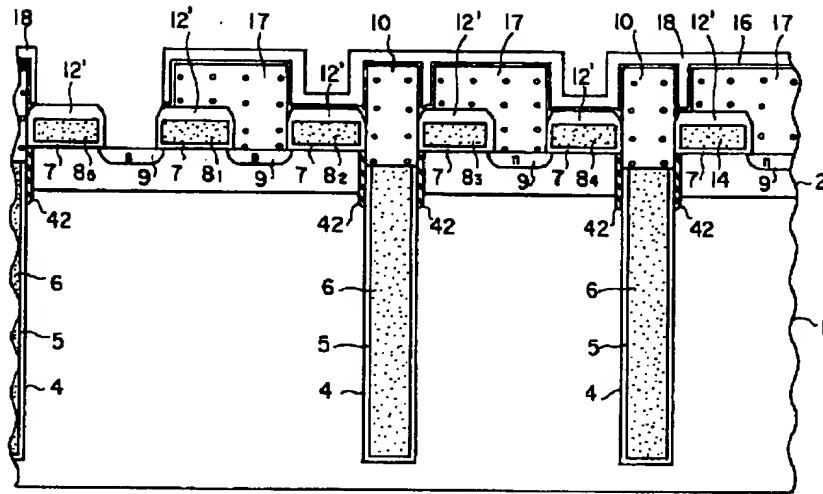


【図 24】

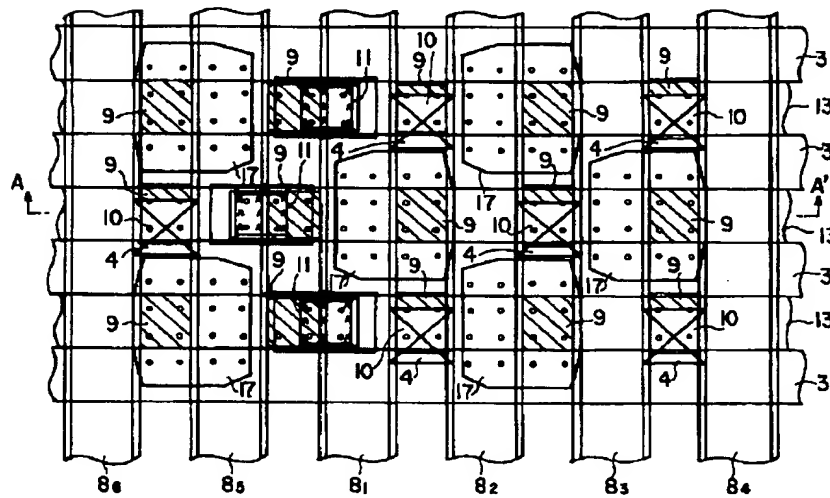




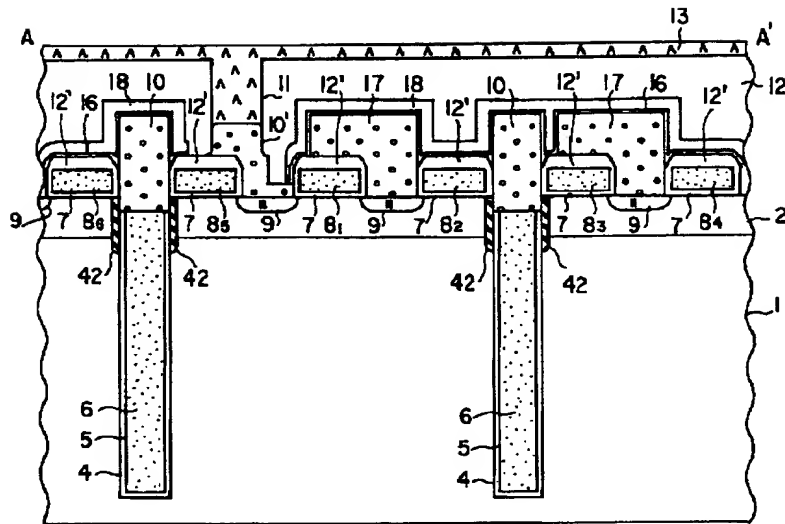
【図 8】



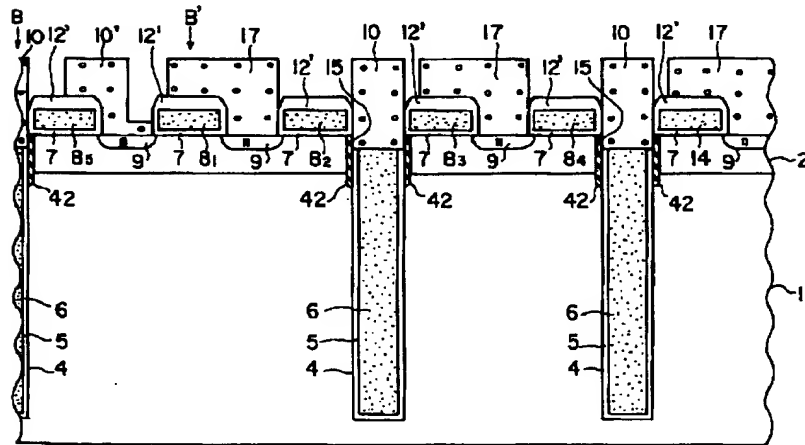
【図 9】



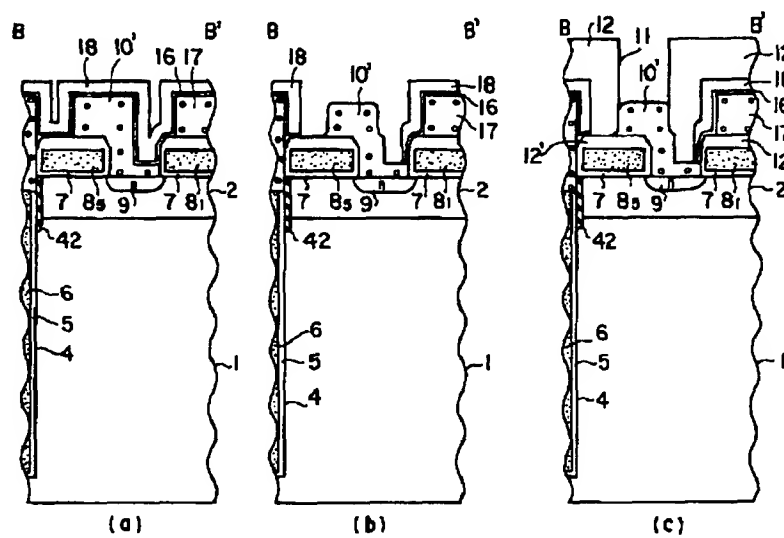
【図 10】



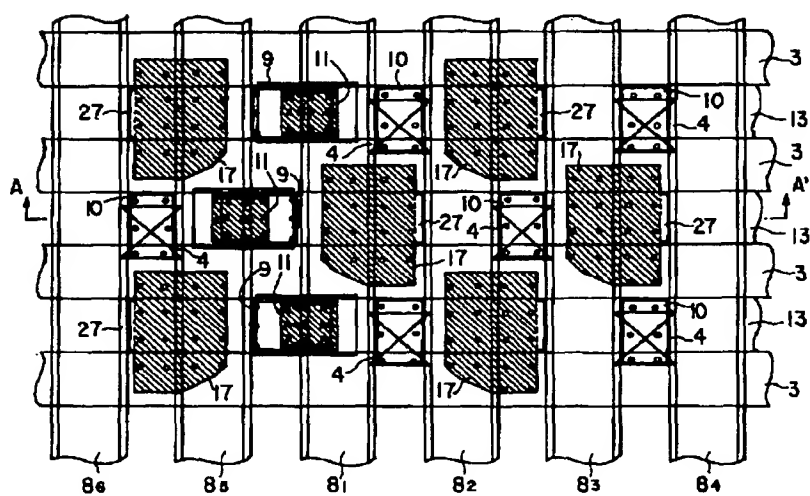
【図 11】



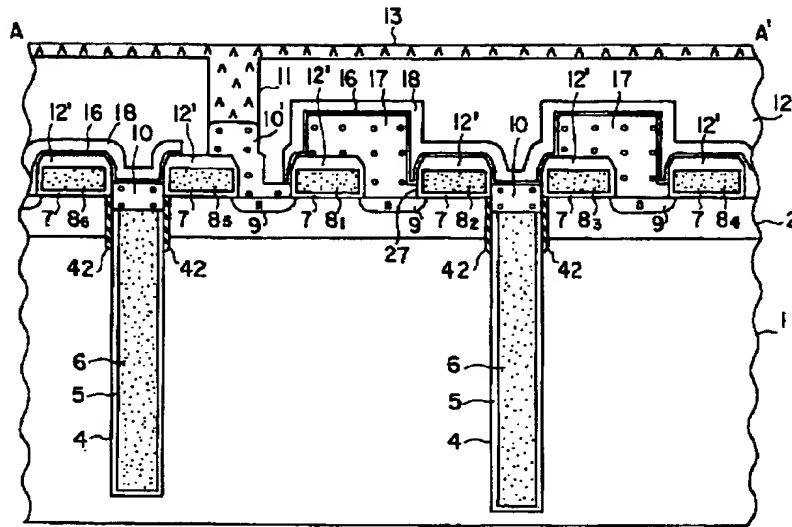
【図 12】



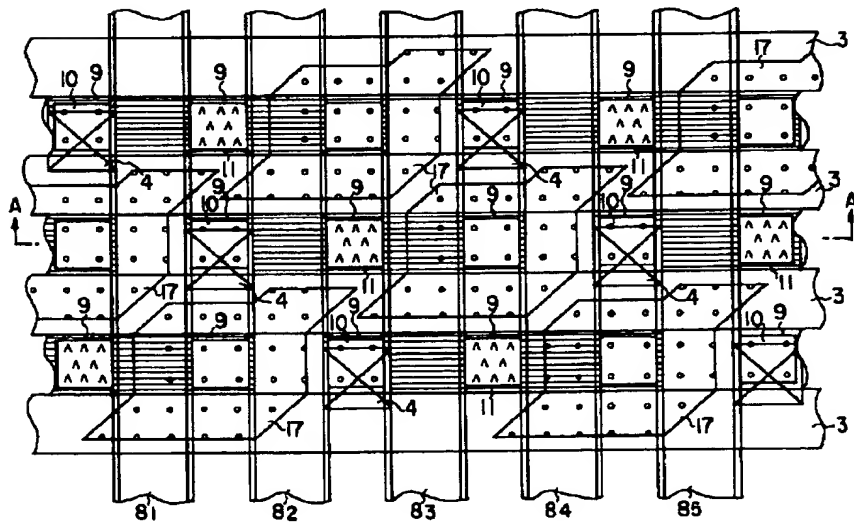
【図 13】



【図 14】

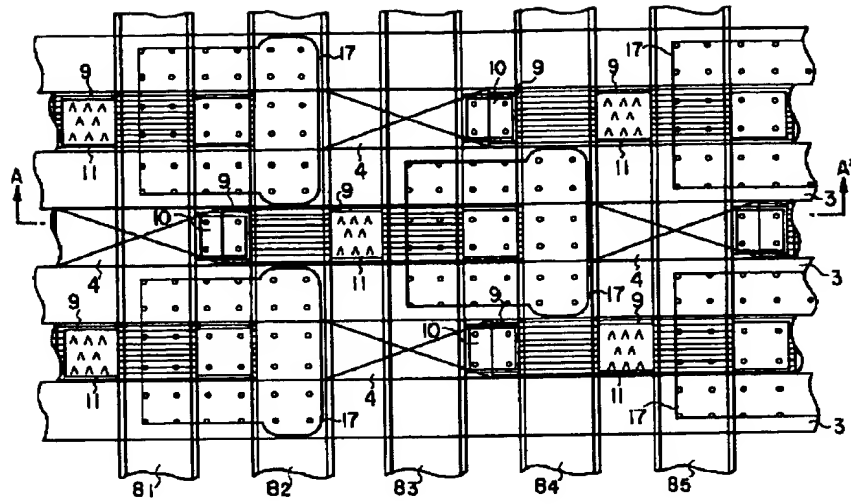


【図 15】

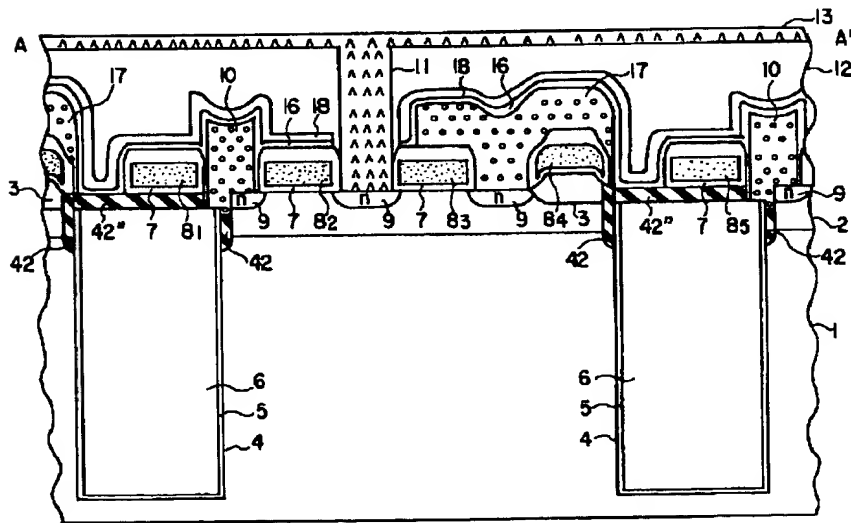




【図 18】



【図 19】

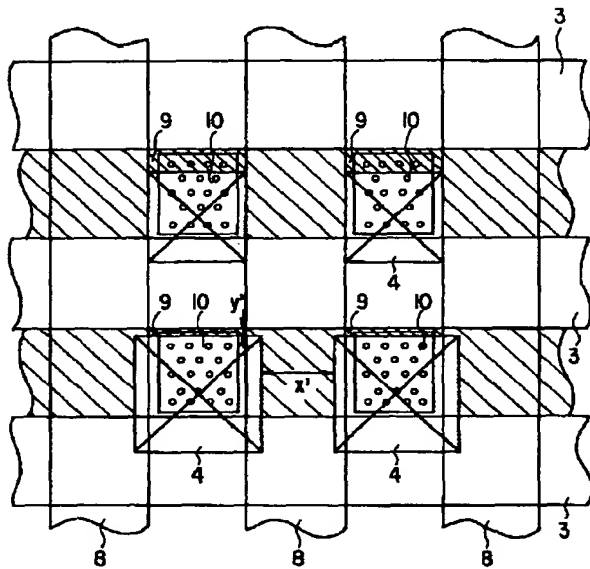




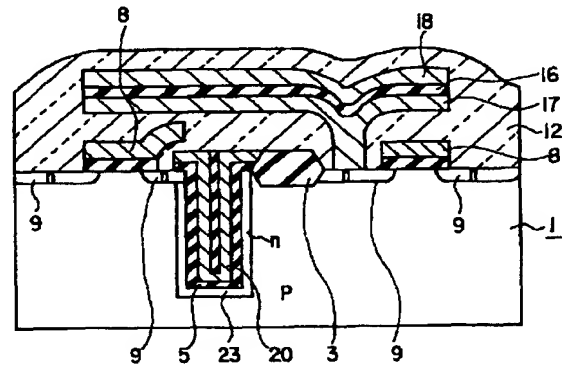




【図 27】



【図 28】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/822

識別記号

庁内整理番号

F I

技術表示箇所

7735-4M

H 0 1 L 27/10

6 2 5 A

